

# Gerðir af FET-um



- **JFET** – Junction Field Effect Transistor
  - Depletion / Hindrunarvirkni P- og N-Channel
- **MOSFET** – Metal Oxide Semiconductor Field Effect Transistor
  - D-MOSFET –
    - Depletion Mode MOSFET (Hindrun) N- og P-type
  - E- MOSFET –
    - Enhancement Mode MOSFET (Örvun) N- og P-type
- Depletion er kallað **tæmingarsvæði** í RTM bók

*Tvær gerðir*

*Fjórar gerðir*

# Einkenni – Eiginleikar - virkni



Samband milli inngangs og útgangs er ekki eins einfalt og í BJT

Í BJT,  $\beta$  ( $h_{FE}$ ) skilgreinir samband á milli  $I_B$  (stýrirstraumur) og  $I_C$  (útgangsstraumur).

Í JFET, er sambandið milli  $U_{GS}$  (inngangs spenna) og  $I_D$  (útgangsstraums) flóknara og **ekki línulegt**.

$$I_D = I_{DSS} \left(1 - \frac{U_{GS}}{U_{GS(off)}}\right)^2$$

(Shockley's jafna)

Fetar eru oft kallaðir “square law device”

# J-FET transistor

(Junction-Field-Effect-Transistor)



- J-FET kallast "sjálfleiðandi" því þeir leiða best ef stýrispennan  $U_{GS} = 0$ , þá leiðir transistorinn hámarksstrauminn  $I_{DSS}$ ,
- Neikvæð  $U_{GS}$  minnkar strauminn, við ákveðna spennu  $U_{GS-OFF}$  þá hættir straumurinn alveg og  $I_D = 0$ .
- **Stýristraumurinn** er hverfandi lítill eða enginn,  $I_G \sim 0$
- Þola tiltekna spennu  $U_{DS}$   
(hægt að fá J-FET transistora með  $U_{DS}$  frá 20V upp í ca. 100V ???)
- Þola tiltekinn hámarksstraum  $I_{D-MAX}$   
(lægst um 10mA og upp í nokkur hundruð mA eftir gerð)
- JFET virkar líkt og **stillanleg mótstaða**,  $I_D$  getur farið í hvora áttina sem er.
- Þola tiltekið afl  $P_{TOT}$  (algengastir eru smátransistorar frá ca. 50mW upp í ca. 500-1000mW, en þó eru til "POWER-JFET" sem þola nokkur wött ).
- Notaðir í smáspennurásir, hátíðni og lágtíðni magnara, rökrásir og stýringar.

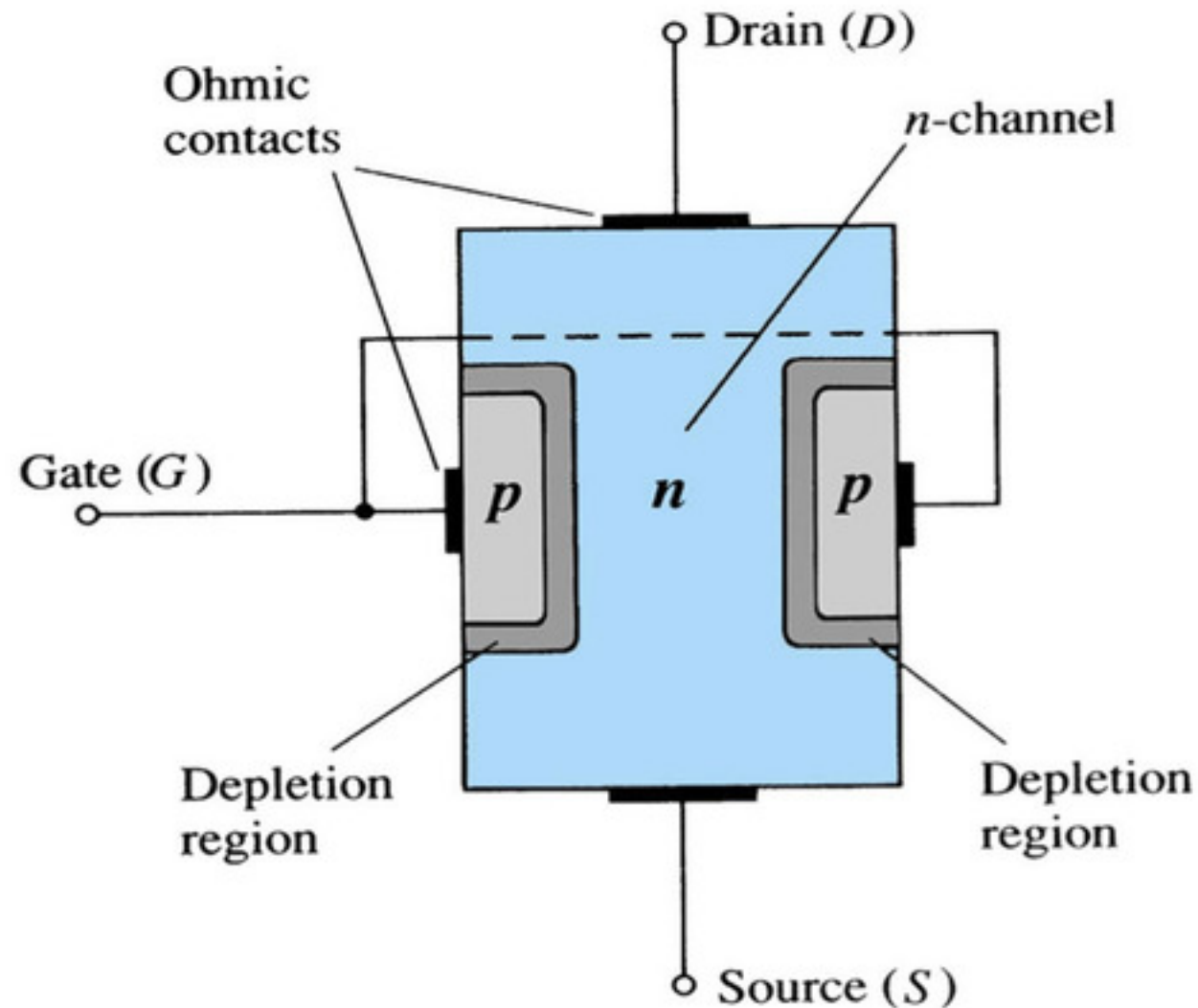


# JFET Construction



Tvær gerðir til af JFET's: n-channel og p-channel.

n-channel er meira notuð



Skaut: **Drain (D)** **Source (S)** eru tengd í n-channel  
**Gate (G)** er tengt í p efnið

# JFET virkni



Það er talað um þrjár vinnustöður á JFET:

**JFET-ar vinna bara í depletion mode**

A.  $U_{GS} = 0$ ,  $U_{DS}$  er í lágmarki, ræðst af  $I_{DSS}$  og drain til source viðnáminu

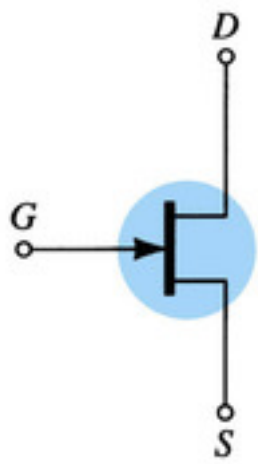
B.  $U_{GS} < 0$ ,  $U_{DS}$  er í plús gildi

C. Vinnur eins og Voltage-Controlled Resistor

Á n channel JFET,  $U_{GS}$  á aldrei að vera plús

Á p channel JFET,  $U_{GS}$  á aldrei að vera mínus

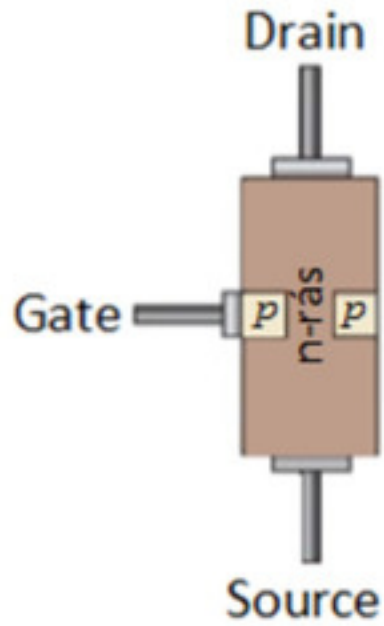
# Quiz



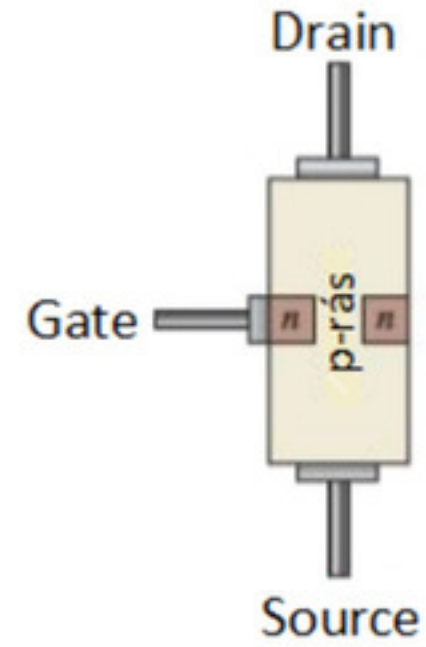
## Merkið við rétta fullyrðingar J-FET transistor

- er oftast notaðir fyrir mjög mikið afl
- er oftast smátransistor fyrir lítið afl
- þarf spennuinn á Gate til að leiða
- getur virkað sem stillanleg mótstaða
- er sjálfleiðandi
- Ef  $U_{GS} = 0V$  þá leiðir hann engan straum
- Ef  $U_{GS} = 0V$  þá leiðir hann hámarksstraum  $I_{DSS}$
- með N-rás er meira notaður
- með P-rás er meira notaður

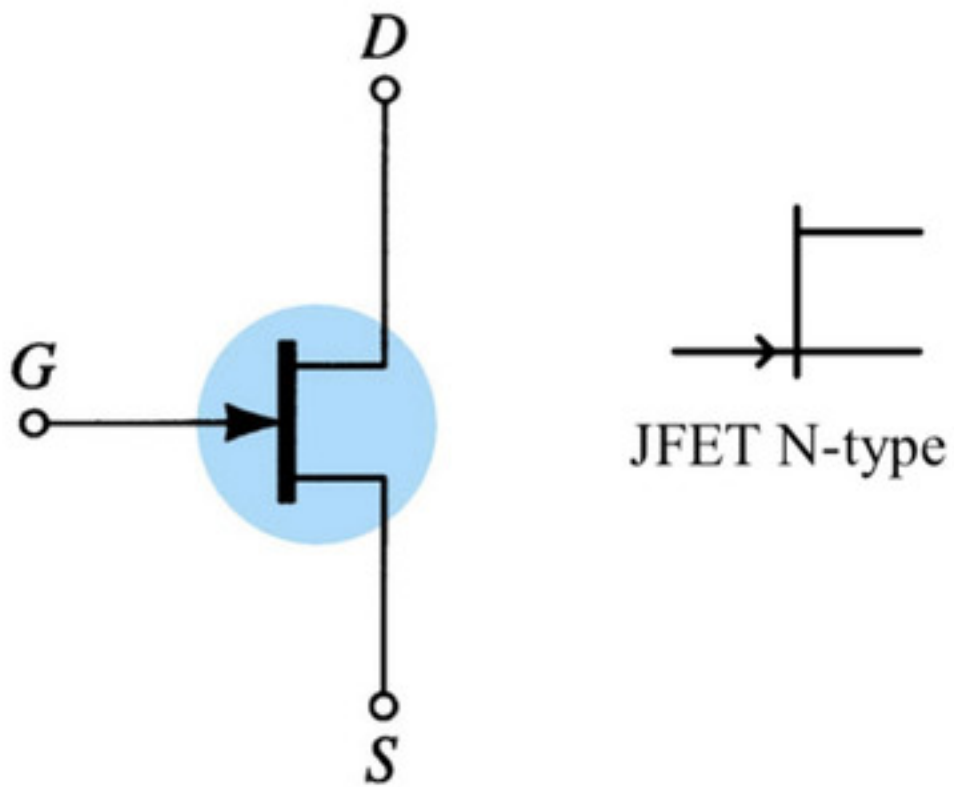
# JFET tákn



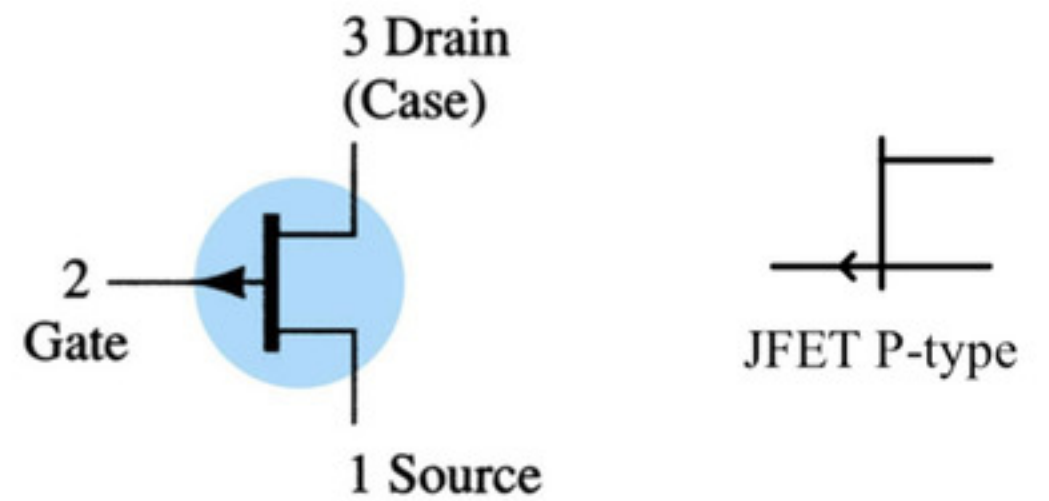
N - channel



P - channel



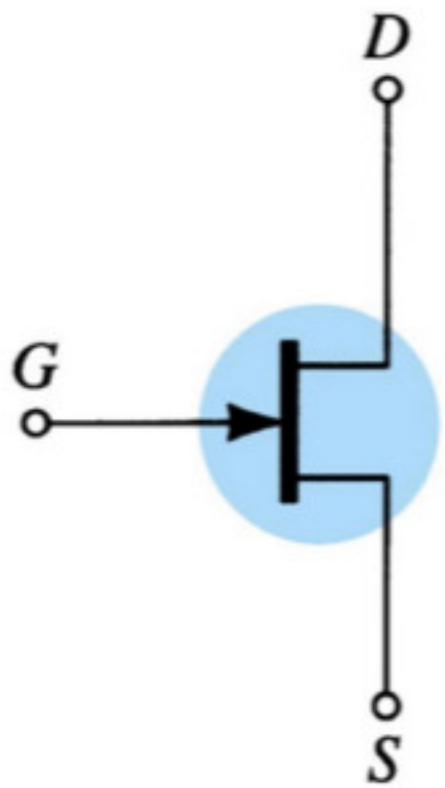
JFET N-type



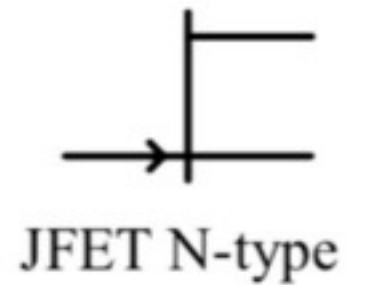
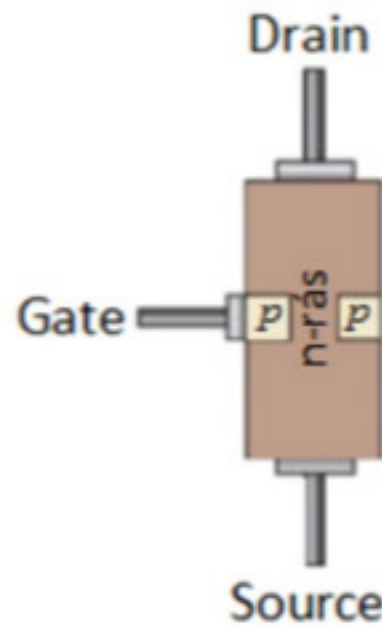
JFET P-type



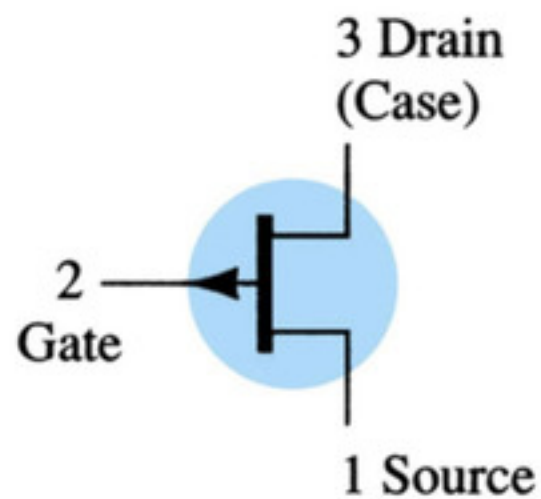
# JFET Virkni



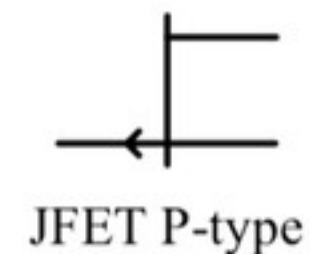
N-channel



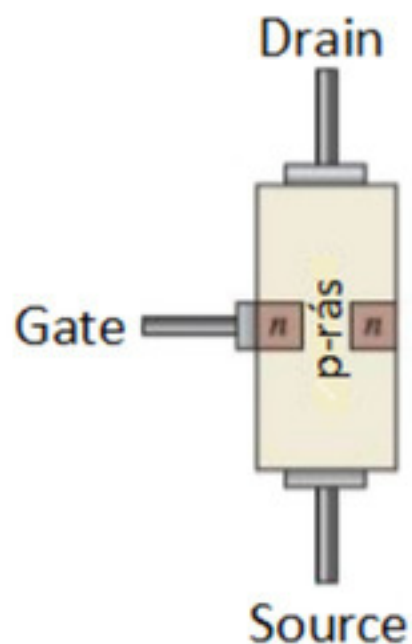
- JFET N-channel er spennustýrður.
- Ef sett er (-) mínus á gate þá myndast hindrunarsvæði því P og N efnin eru bakspennt.
- Leiðni í N-rás minnkar/stoppar



# JFET Virkni



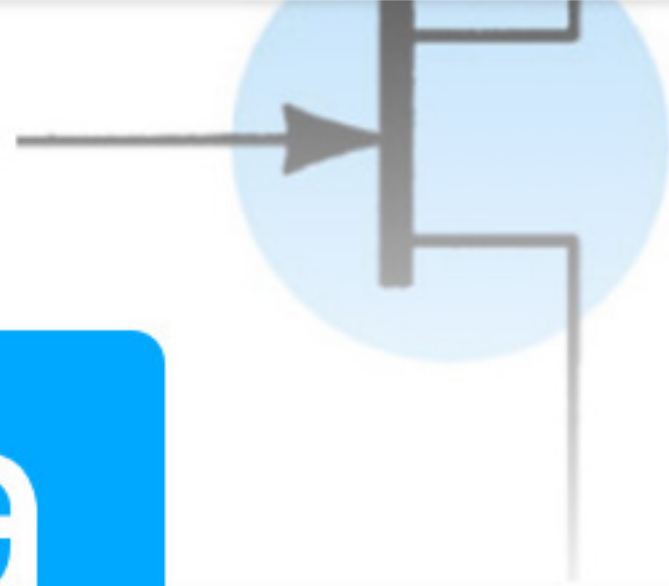
P-channel



- JFET P-channel er spennustýrður.
- Ef sett er (+) plús á gate þá myndast hindrunarsvæði því P og N efnin eru bakspennt.
- Leiðni í P-rás minnkar/stoppar



J FET P rás



## Matching Pairs

# Fill in the Blanks

P-channel

mínus

plús

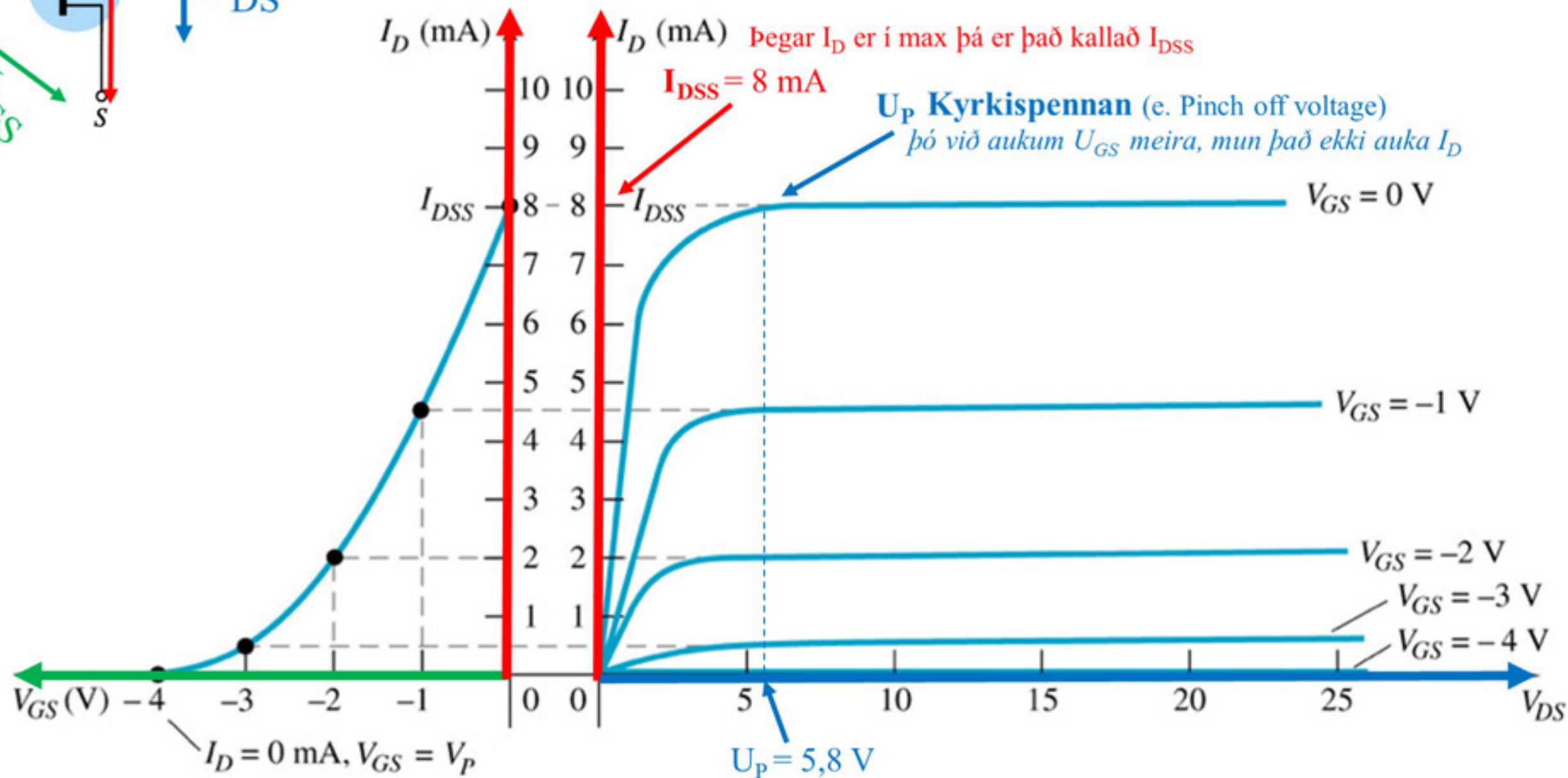
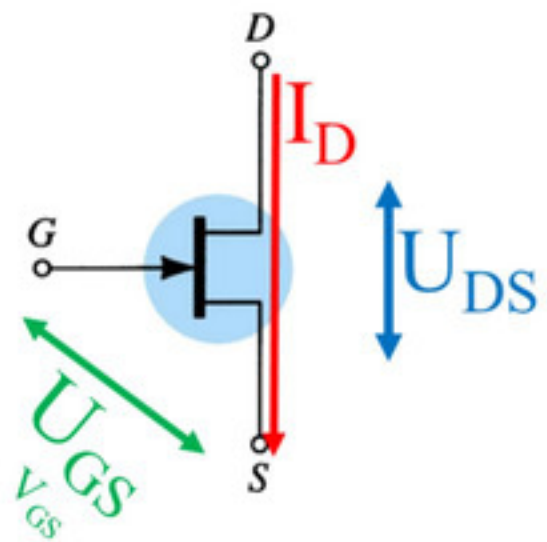
N-channel

JFET \_\_\_\_\_ er spennustýrður og þegar sett er \_\_\_\_\_ spenna á gate þá myndast hindrunarsvæði því P og N efnin eru bakspennt og þá minnkar/stoppar leiðnin í P-rásinni.

JFET \_\_\_\_\_ er spennustýrður og þegar sett er \_\_\_\_\_ spenna á gate þá myndast hindrunarsvæði því P og N efnin eru bakspennt og þá minnkar/stoppar leiðnin í N-rásinni.

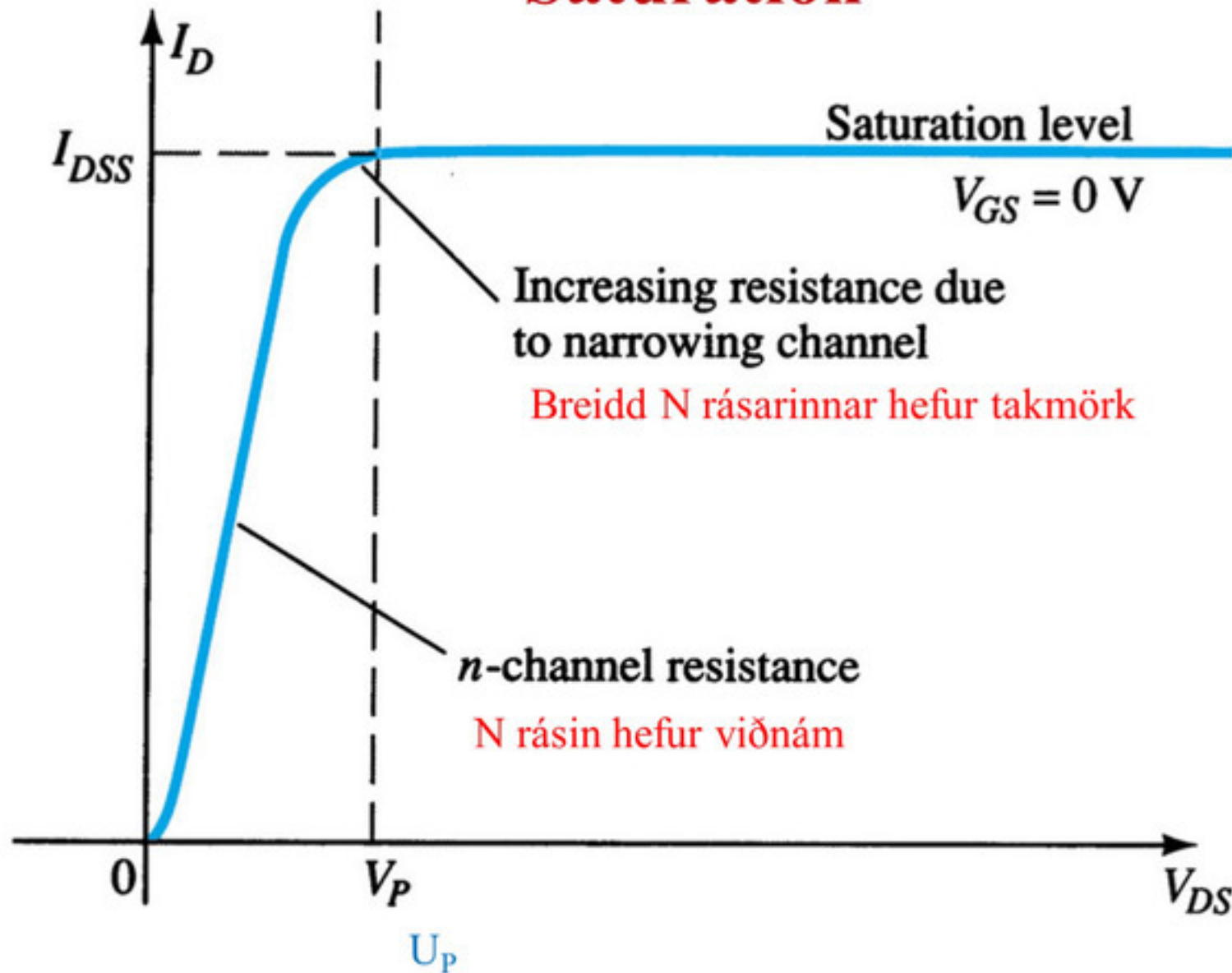


# Transfer (Transconductance) Curve



Á grafinu má finna  $I_D$  út frá gefnu gildi af  $U_{GS}$  ( $V_{GS}$ )  
 Það má einnig finna  $I_{DSS}$  og  $U_P$  með því að skoða þar sem  $U_{GS}$  er 0

# Saturation



## Á pinch-off punktinum : $U_P =$ kyrkispenna

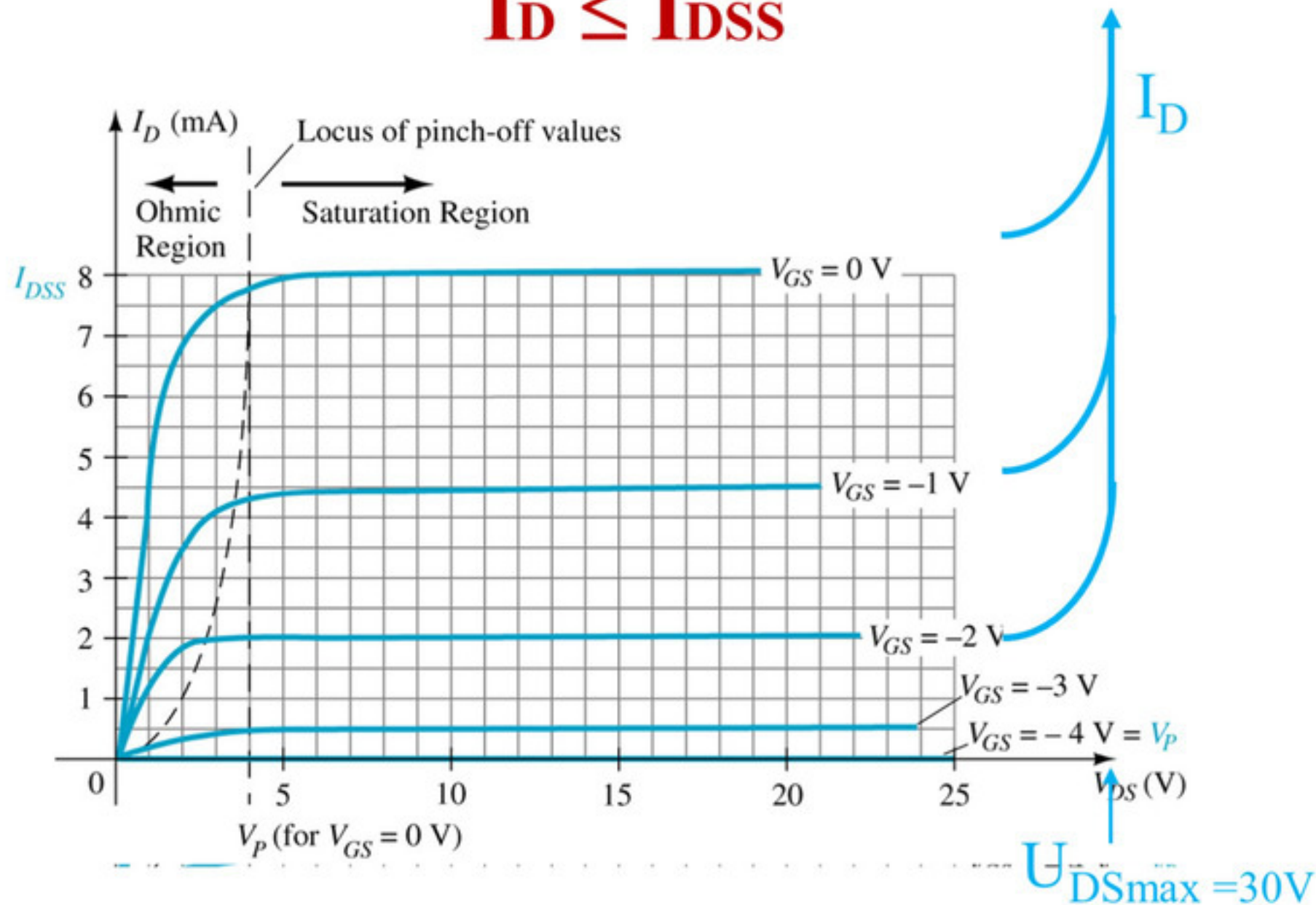
- Þó við aukum  $U_{GS}$  meira, mun það ekki auka  $I_D$ .  
(við pinch-off er  $U_{GS}$  tákna sem  $U_P$ .)
- $I_D$  er í mettun eða max. Er þá kallað  $I_{DSS}$
- Ohmic gildið í rásinni (N-ch) er þá í max.

# Kyrkispenna (e. Pinch - Off voltage)

- Kyrkispennan (e. Pinch off voltage)  $U_p$  fyrir  $U_{GS} = 0 \text{ V}$  er skilgreind sem sú  $U_{DS}$  spenna þar sem straumurinn  $I_D$  verður stöðugur í útgangslínuriti JFET transistors og er gefin upp af framleiðanda.
- $I_D$  verður stöðugur við  $U_p$  spennuna og kallast þá straumurinn  $I_{DSS}$  (Straumur sem rennur milli svelgs og lindar (drain og source) þegar gáttin (e. gate) er skammhleyppt til jarðar.  
*Þessi straumur er alltaf skilgreindur í tækniblöðum yfir transistorinn og er hámarkssvelgstraumur (e. drain current) sem getur runnið í JFET óháð ytri rás.*
- Brot í JFET verður þegar  $U_{DS} =$  skilgreind brotspenna  $U_{BR}$  ( $U_{DSmax}$ ) og má hann ekki ná því gildi því þá eyðileggst hann og  $I_D$  vex mjög hratt.



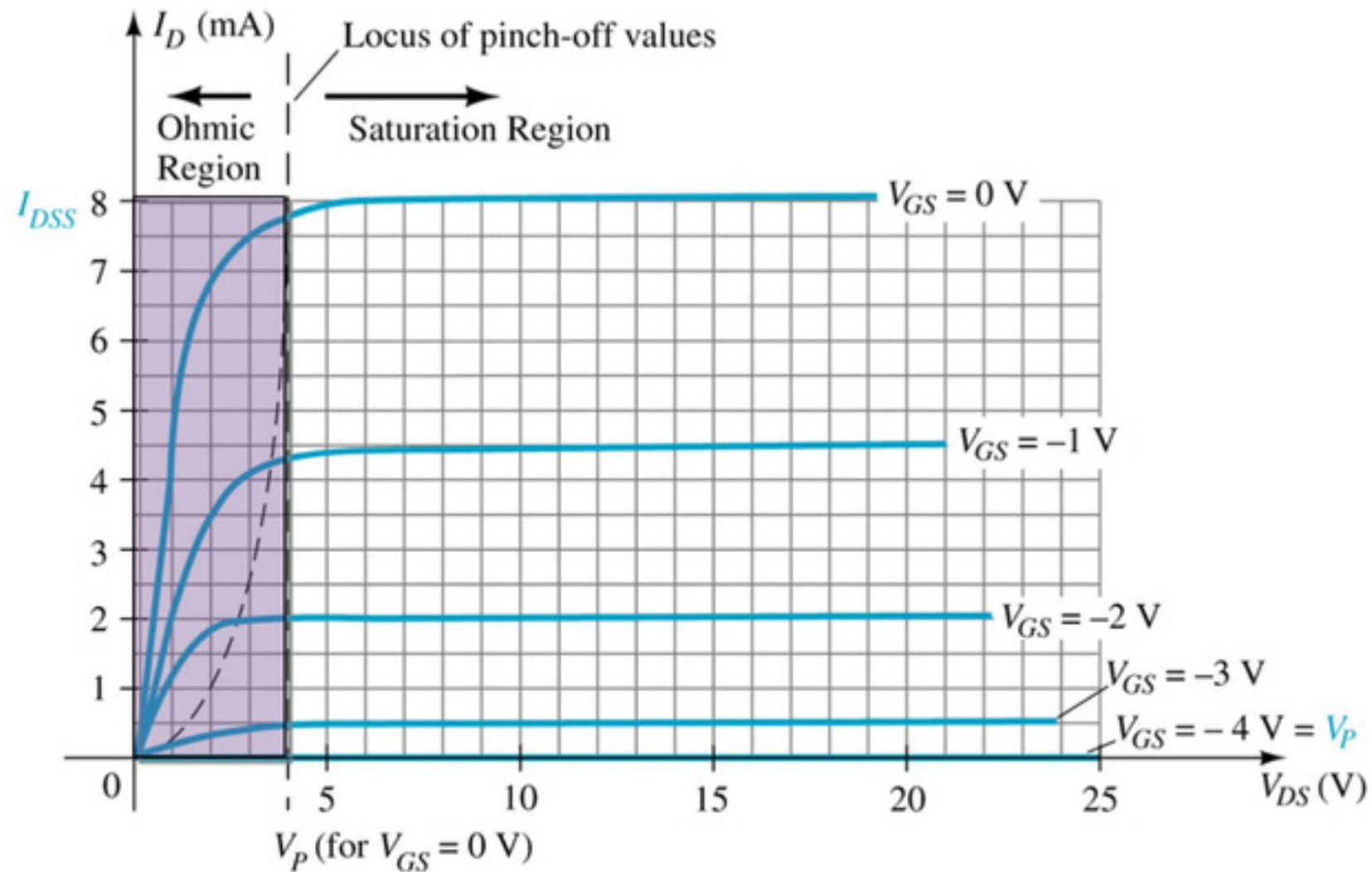
$$I_D \leq I_{DSS}$$



Þegar  $U_{GS}$  meira negative: (hærrí mínus tala)

- mun JFET-inn ná pinch-off við lægri spennu ( $U_P$ ).
- $I_D$  minnkar ( $I_D < I_{DSS}$ ) jafn vel þó  $U_{DS}$  sé aukið.
- Að lokum mun  $I_D$  verða 0A.  $U_{GS}$  á þeim punkti er kallað  $U_{GS(off)}$
- Þegar  $U_{DS}$  verður of hátt fer, yfir brotspennu JFET-sins  $U_{BR}$  mun  $I_D$  aukast stjórnlaust,  $U_{DS} > U_{DSmax}$  (lesið á data sheet)

# FET sem spennustýrt viðnám



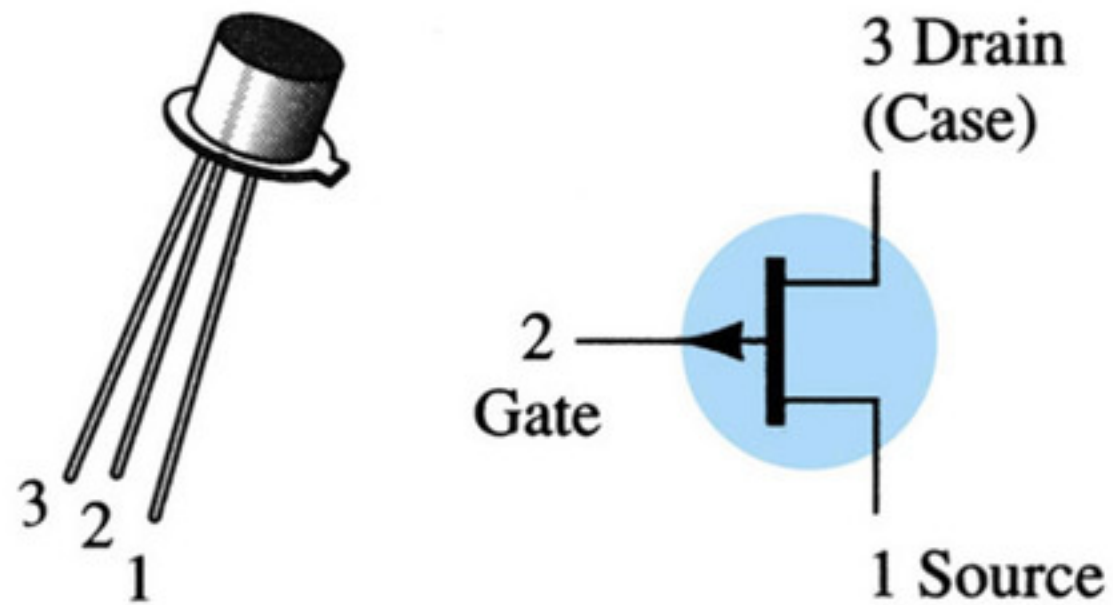
- Svæðið vinstra megn við pinch-off  $U_p$  er kallað *ohmic region*.
- Á því svæði er hægt að nota JFET-inn sem stilli viðnám.
- Þar er  $U_{GS}$  að stýra drain-source viðnáminu ( $r_d$ ).
- Þegar  $U_{GS}$  verður meira negatíft, eykst viðnámið ( $r_d$ ).



# P-Channel JFET

## 2N2844

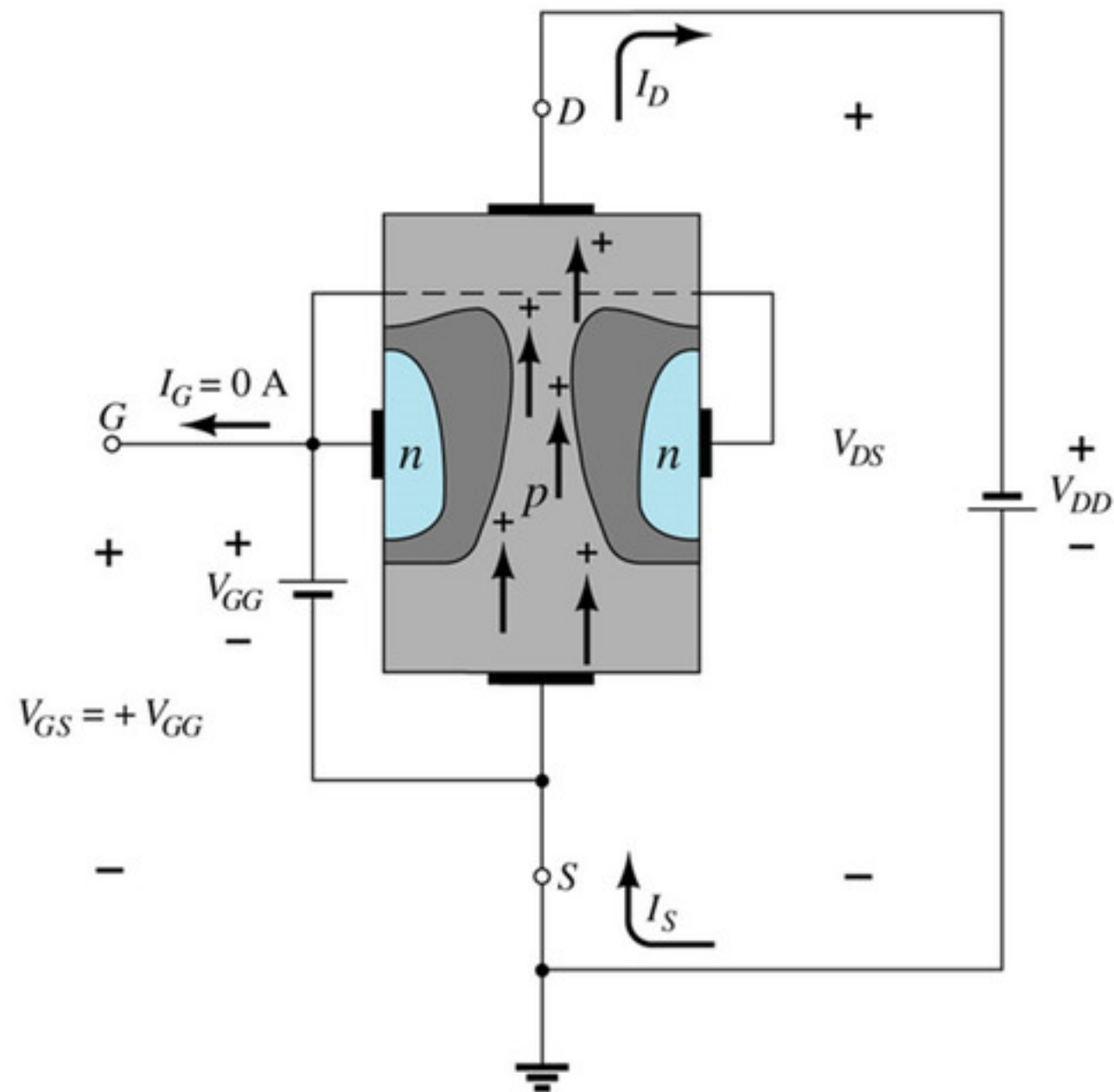
CASE 22-03, STYLE 12  
TO-18 (TO-206AA)



**JFETs**  
**GENERAL PURPOSE**  
**P-CHANNEL**

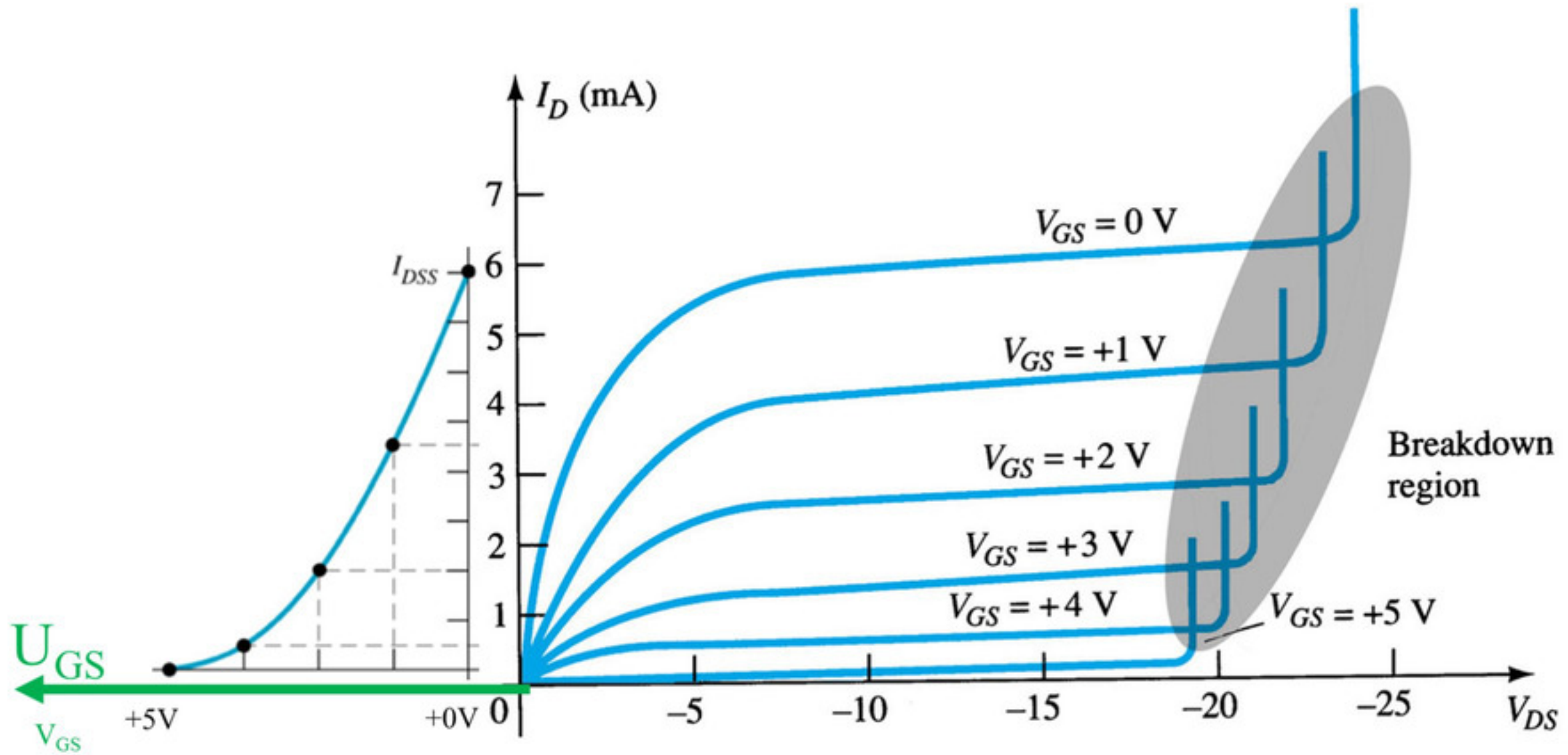
Táknmynd: Örin snýr út á gate á P-channel JFET

## p-Channel JFET's



P-channel JFET virkni er sambærileg N-channel JFET nema **spenna**, **pólun** og **straumstefnu** er snúið við.

# P-Channel JFET Characteristics



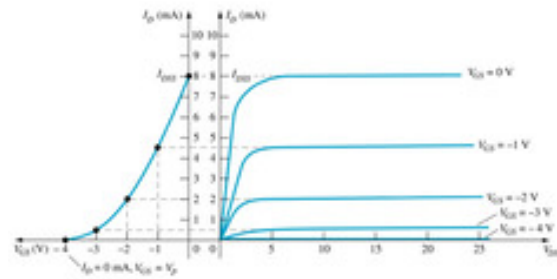
Þegar  $U_{GS}$  er aukin + plús-spenna

- Stækkar hindrunarsvæðið (bakspenna)
- $I_D$  minnkars ( $I_D < I_{DSS}$ )
- Að lokum verður  $I_D = 0A$

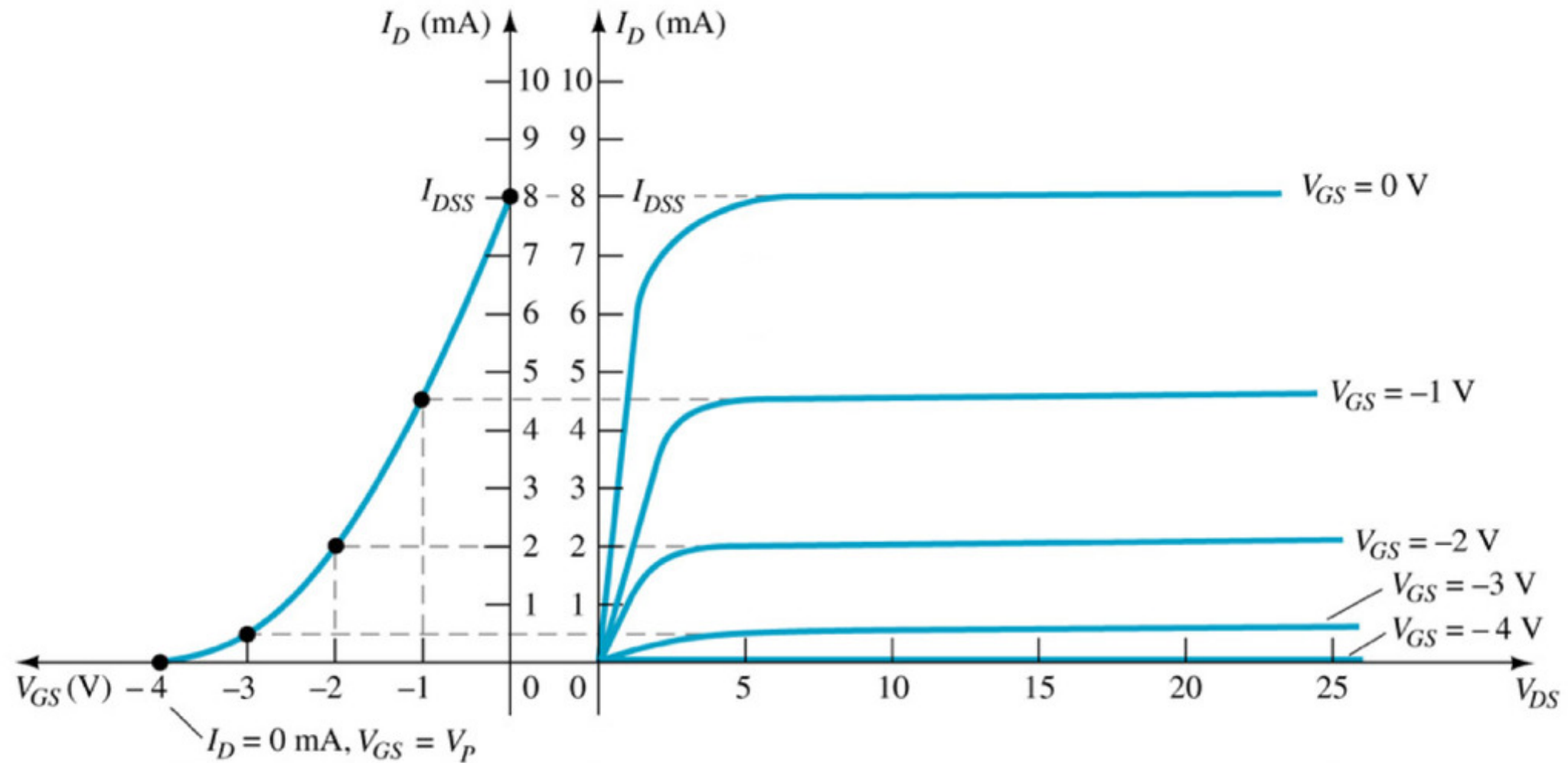
Við hátt  $U_{DS}$  fer JFET-inn í breakdown  $U_{BR}$

$I_D$  eykst stjórnlaust ef  $U_{DS} > U_{DSmax}$

# Draw It



- A) Merkið inn á grafið hvað straumurinn  $I_D$  er hár ef stýrispennan er  $-1V$
  - B) Merkið þá hve há Kyrkispennan er há ef stýrispennan er  $-1V$
  - C) Merkið inn á grafið við hvaða stýrispennu transistorinn leiðir ekki
  - D) Merkið inn á grafið við hvað stýrispennu transistorinn er í fullri leiðni
  - E) Merkið inn á grafið og bætið við það ef brotspennan er  $U_{BR} = 30V$ .
- (Notið A-E til aðgreiningar inn á grafinu)



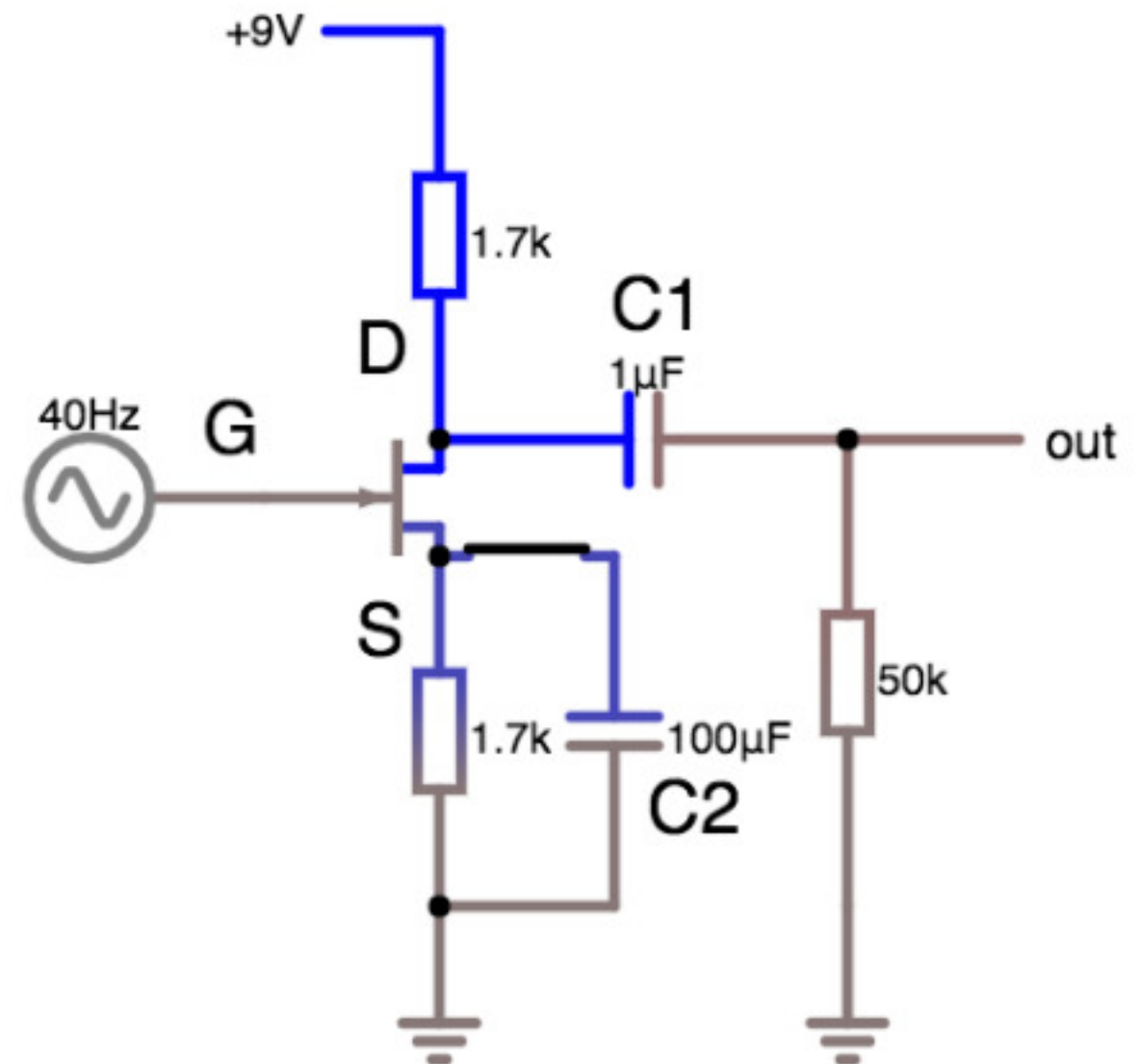


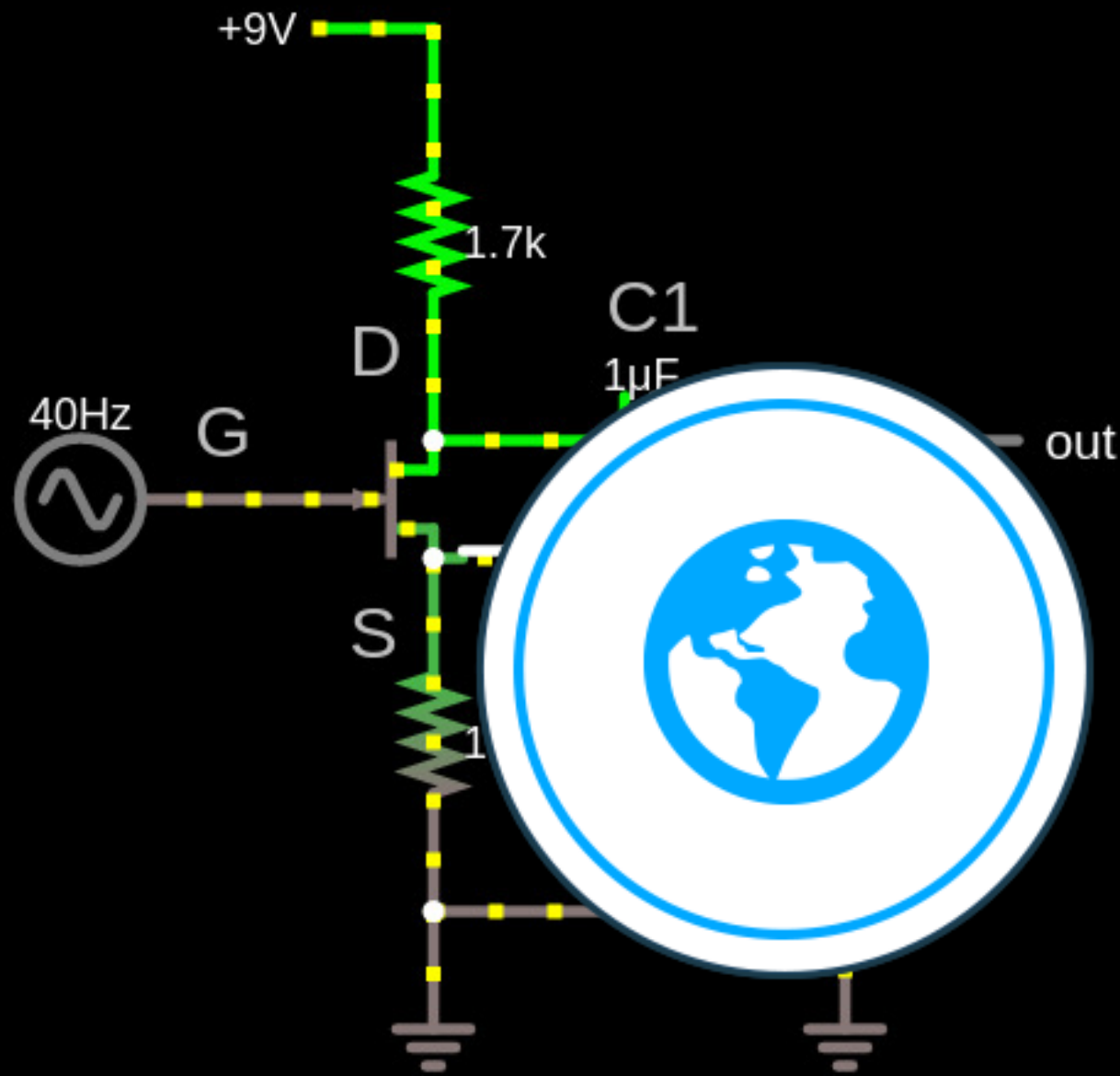
# Undirbúningur fyrir næstu síðu

Á næstu síðu sjáið þið Falstad hermílan.

Skoðið það vel og spáið í þéttana C1 og C2, prófið að aftengja C2 þéttinn.

Skoðið á skópum hvað inngangmerkið er magnað mikið og veltið fyrir ykkur hvernig magnari þetta sé.





Reset RUN / Stop

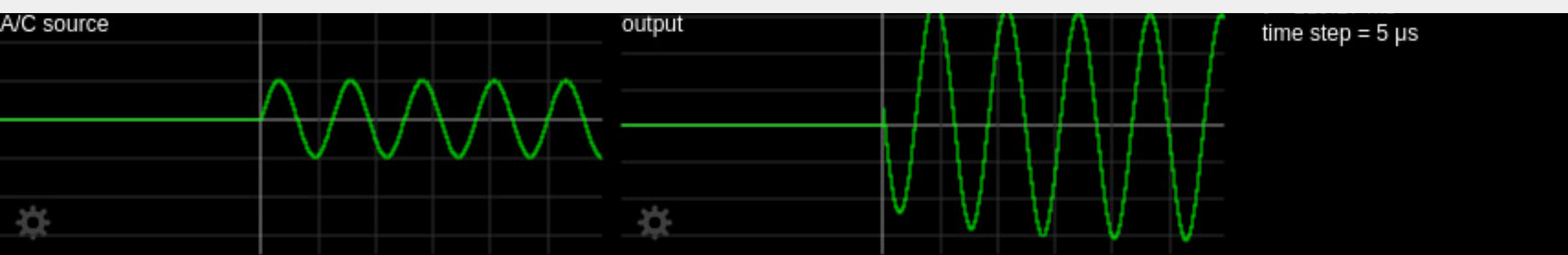
Simulation Speed < [slider] >

Current Speed < [slider] >

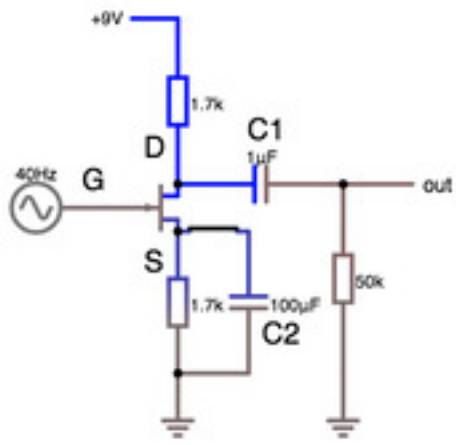
Power Brightness < [slider] >

Current Circuit:

<http://tinyurl.com/yamdotxp>

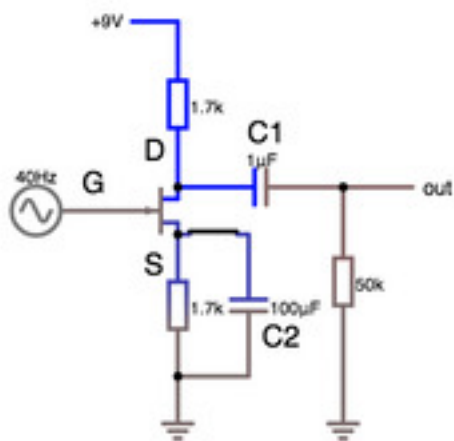


# Quiz



Hvernig transistor er í rásinni?

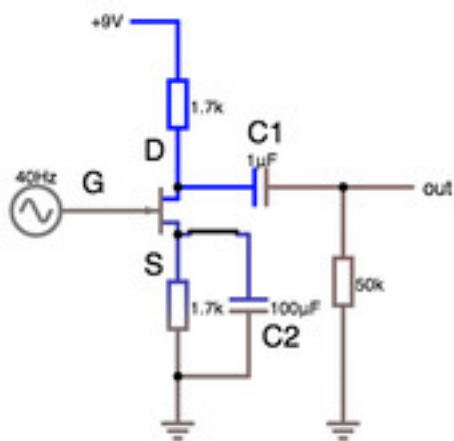
- J FET N channel
- J FET P channel



Hvernig magnara rás er þetta?

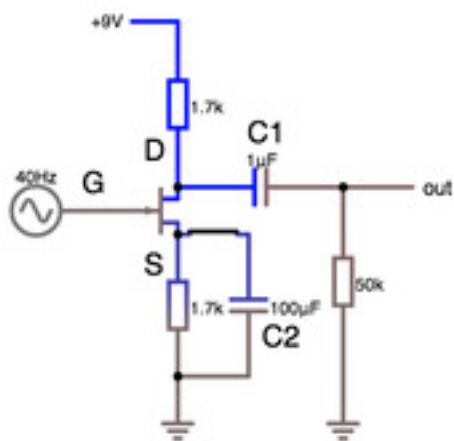
- Common emmitter
- Commonn gate
- Common source
- Common drain





Hvað er mögnunin mikil í rásinni

- 30 sinnum
- 3 sinnum
- 9.6 dB
- 29.6 dB



Hvaða tilgangi þjónar C1 í rásinni

- Eykur mögnun
- Afkúplar suði
- Einangra DC
- Jafnar DC spennu